

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01665166 **Image available**

MATRIX TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 60-143666 [JP 60143666 A]

PUBLISHED: July 29, 1985 (19850729)

INVENTOR(s): MIMURA AKIO

OBAYASHI MASAYUKI

OGAMI MICHIO

SUZUKI TAKAYA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 58-248162 [JP 83248162]

FILED: December 29, 1983 (19831229)

INTL CLASS: [4] H01L-027/12; G09F-009/35; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 363, Vol. 09, No. 305, Pg. 148,
December 03, 1985 (19851203)

ABSTRACT

PURPOSE: To obtain the titled device in which a shift register or the like comprises the sufficient high-speed performance by using an SOI substrate by making a channel direction of MOS type elements the direction of a grain boundary of a semiconductor layer substantially.

CONSTITUTION: If a crystallization direction of laser is made parallel to a direction of channels in an SOI substrate, an abnormal diffusion layer 7 of impurity is formed along a grain boundary 6 when a source and drain junction 5 is formed. Accordingly, the source and drain junction 5 tends to be shorten and the possible minimum channel length is about 5. μ m. For MOSFET10 of a matrix type liquid crystal display device, the predetermind switching function for applying a voltage to a liquid crystal 11 and holding it is necessary. The characteristics of the MOSFET fabricated by SOI technique almost satisfy this function. The switching element used for a liquid crystal display element enables the channel length of 3-5. μ m or above. Namely, the practical and high-speed matrix type semiconductor device fabricated by SOI technique becomes possible by making a direction of the grain boundary parallel to a direction of the channels.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
004394213

WPI Acc No: 1985-221091/198536

Matrix type semiconductor unit for silicon on insulator device - is
formed same direction for travelling carrier and moving grain boundary on
semiconductor film NoAbstract Dwg 5/6

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60143666	A	19850729	JP 83248162	A	19831229	198536 B

Priority Applications (No Type Date): JP 83248162 A 19831229

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 60143666	A		3		

Title Terms: MATRIX; TYPE; SEMICONDUCTOR; UNIT; SILICON; INSULATE; DEVICE;
FORMING; DIRECTION; TRAVEL; CARRY; MOVE; GRAIN; BOUNDARY;
SEMICONDUCTOR; FILM; NOABSTRACT

Derwent Class: P85; U12; U13

International Patent Class (Additional): G09F-009/35; H01L-027/12;
H01L-029/78

File Segment: EPI; EngPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-143666

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月29日

H 01 L 27/12
G 09 F 9/35
H 01 L 29/78

8122-5F
6615-5C
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 マトリックス型半導体装置

⑯ 特 願 昭58-248162

⑰ 出 願 昭58(1983)12月29日

⑱ 発 明 者 三 村 秋 男 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 発 明 者 大 林 正 幸 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑳ 発 明 者 大 上 三 千 男 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉑ 発 明 者 鈴 木 普 也 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 高橋 明夫 外3名

明 細 書

発明の名称 マトリックス型半導体装置

特許請求の範囲

1. 絶縁性板上に設けられエネルギーを加えて結晶化した半導体薄層を有する半導体基板の半導体薄層の所定の領域にマトリックス状に配置した第1の素子群と、この第1の素子群を制御するために半導体薄層の他の領域に配列されたMOS型素子からなる第2の素子群とを有し、半導体薄層の他の領域の粒界の方向とキャリアの移動方向が実質的に同一となる方向に形成したことを特徴とするマトリックス型半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明はマトリックス型半導体装置に係り、特に、絶縁基板上に形成したマトリックス型半導体装置に係る。

〔発明の背景〕

絶縁基板上に半導体素子を形成する技術は、SOS(Silicon on Sapphire)技術として古

くから研究されており、高速度性、耐放射線性の優れた素子が製造されるに到っている。しかし基板となるサファイアが高価であるため、その使用範囲が限られている。

最近SOSに代り得る技術としてSOI(Silicon on Insulator)技術が検討されている。これはシリコンなどの半導体層を石英板、ガラス板、SiO₂膜等の絶縁基体の上に形成する技術である。例えば、石英基板上に多結晶シリコン膜を形成した後、レーザー光、抵抗加熱による融状ヒーター、高周波加熱による融状ヒーター等を走査あるいは移動させることにより、多結晶シリコン膜を熔融し、再結晶化させる。再結晶化させることによりシリコン層の粒子径は非常に大きくなり、半導体素子を形成した場合、多結晶シリコン膜に形成した場合より、著しく特性の向上した素子が得られるようになる。

このように、絶縁基板上に形成したSOI型半導体装置の応用目的としては、SOSと同じ高速度性や耐放射線性のほか、三次元素子、基板の透明

性を利用した光学表示素子の実現等が考えられている。

ところで、これらの応用に供するためには、SOIに形成した素子の特性を十分に認識する必要がある。例えばSOIで形成したMOS素子のスイッチング特性は、単結晶シリコンに形成した素子とほぼ同等になつてきている。しかしながら、SOIで形成した半導体層の中には、特有の粒界が存在しており、この粒界が、素子を形成する場合の異常拡散や、伝導におけるキャリアの散乱を引き起し、素子の特性を大きく左右する。したがつて、SOIで形成した場合は、このような粒界の性質を十分解明し、有効に利用することが必要となる。

〔発明の目的〕

本発明の目的は、SOIの特長を生かした新規なマトリックス型半導体装置を提供する点にある。具体的には、アクティブマトリックスを構成する素子群とシフトレジスタを構成するMOS型素子群とを同一基板上に一体化した新規なマトリックス

(3)

第2図はチャンネル長と電界効果移動度との関係を示す。A、Bの定数は第1図と同じであり、チャンネル長が小さくなる程電界効果移動度は大きくなり、BよりAの方が大きい点が特徴となつてゐる。

以上の結果は次のように説明できる。ここでMOSFETを例にとつて説明する。第3図は、第1図のAに示した、レーザーの結晶化方向とチャンネルの方向を平行にした例である。石英板上に形成したシリコン層1を結晶化させるため、図中の矢印方向にレーザー光をスキャンする。この時、粒界はスキャン方向に平行に発生する性質がある。こうして結晶化した後、セルフアライメント法を使い、ソース2、ドレイン3、ゲート4を形成する。nチャンネル型の場合にはリンをイオン注入または熱拡散で拡散する。このとき、レーザー光のスキャン方向に走る粒界6に沿つて、リンが異常拡散を起し正常なソース・ドレイン接合5より中間に、異常拡散層7が形成される。この異常拡散層7が大きい場合は、ソース・ドレイン

(5)

型半導体装置を提供する点にある。

〔発明の概要〕

本発明はマトリックス型半導体装置の特徴とするところは、SOI基板の半導体層の所定の領域にアクティブマトリックスを構成する素子群を形成し、他の領域にシフトレジスタを構成するMOS型素子群を形成し、かつMOS型素子群はそのチャンネル方向が実質的に半導体層の粒界の方向となつてゐる点にある。

本発明は、発明者らの以下の検討に基づいてなされたものである。

第1図はMOSFETのチャンネル長とリーク電流との関係を示したものである。Aは、結晶化の際のレーザーのスキャン方向と平行な方向にキャリアが流れるようにチャンネルを形成した場合で、Bは、レーザーのスキャン方向と直角にチャンネルを形成した場合である。Bではチャンネル長が小さくなつてもわずかにリーク電流が増加する程度であるが、Aの場合、チャンネル長が5μm以下となると、リーク電流が急増する。

(4)

ン接合5が短絡しやすくなる。この限界は、レーザー結晶化の際ではチャンネル長が約5μmであり、これよりチャンネル長が小さくなると、第1図Aに示すようにリーク電流が急増することになる。

第4図は、第1図Bに示した、レーザーの結晶化方向とチャンネルの方向を直角にした例である。この場合、チャンネルの方向と直角方向に粒界が走ることになる。ソース・ドレイン接合5が形成される時、やはり第3図と同様に粒界6に沿つて異常拡散層7が形成される。しかしこの場合、異常拡散層はチャンネルと直角の方向に延びるだけであり、実効的なチャンネル長が小さくなることはほとんどない。したがつて、第1図Bに示すように、チャンネル長が短くなつてもリーク電流が著しく増すようなことはない。

一方、第2図の結果は次のように説明できる。粒界は結晶欠陥の集合体であり、キャリアの散乱原因となる。ところで、第1図A(第3図)のように粒界を位置させると、ソースから出たキャリア

(6)

アは、粒界のない部分を走つてドレインに到達することができる。したがつて、粒界により走行がさまたげられることはない。逆に第1図B(第4図)のように粒界を形成した場合、キャリアは必ず粒界を通らざるを得なくなり、散乱されて電界効果移動度がAより低下することになる。

以上の結果から、正常な特性は、粒界との関係で決定されることになる。すなわち、レーザーアニールによる結晶化法の場合では、Aの方法で得られる最小のチャンネル長は約5 μ mとなる。したがつてVLSI等には無題があり、さらに微細化するにはBの方法を採用することが必要となる。しかしながらこの場合は電界効果移動度が小さくなるので、Aの場合より素子のスピードは低下することになる。

以上ではレーザー光による結晶化法と素子の特性との関係を説明した。しかし結晶化法により、半導体層の結晶性が種々に異なってくる。またソース・ドレインの形成法など素子製作条件によつて異常拡散の程度が異なる。したがつて、特性が

(7)

に示した部分図のように、各画素に設けられたMOSFET10と、そのソース側に接続される液晶セル11から成り、ドレイン12、ゲート13は共通となつて結集されている。ドレイン12に駆動電圧を印加し、ゲート13の信号でMOSFET10をオンさせると液晶セル11が駆動されて、情報が表示される。高精細の表示とするには、数千の画素をマトリックス状に配置することになる。このような表示装置は裏面から光を透過させて液晶により表示させるため、透明基板を使つて、MOSFET10を形成するにはSOI技術が使われる。このMOSFET10は液晶に電圧を印加し、その電圧を保持するためスイッチ機能が必要であり、オン抵抗が小さく、オフ抵抗の大きいことが要求される。ところでSOI技術で形成されるMOSFETの特性は、ほぼこの条件を満たすことができる。

ところでこのMOSFETのマトリックスを駆動するには、ドレインの信号と、ゲートの信号を順次走査するためのシフトレジスタ(駆動回路)

(9)

得られる限界の素子寸法も異なってくる。異なる例として、線状のヒーターで結晶化させる場合はレーザー光による結晶化より格段に大きなサイズの結晶粒の結晶層を得ることが可能で、粒界の数も少なくなる。またソース・ドレインを形成する場合、イオン注入法で形成し短時間に低温でアニールする方法によれば、異常拡散をさらに小さくすることが可能であり、両者の結晶化法と製法を合せれば、Aの方法で可能な素子のチャンネル長の限界は3~5 μ mとなる。またAの電界効果移動度はBの約2倍となる。

以上述べた事実関係に基づきSOIでマトリックス型半導体装置を形成する場合、上述したように、高運動が要求されるシフトレジスタの各MOS素子をAタイプとすることにより、実用的なシフトレジスタを得ることができる。

〔発明の実施例〕

平面表示素子として、液晶を使つたアクティブマトリックス型半導体装置を実施例として述べる。アクティブマトリックス型液晶表示装置は第5図

(8)

が必要である。第6図は、シフトレジスタを設けたマトリックス型半導体装置を示す。マトリックス20からドレイン21、ゲート22は、X方向シフトレジスタ23、Y方向シフトレジスタ24、さらに信号発生部25、26に接続されている。ところでシフトレジスタは信号をマトリックス20の画素に伝えながら走査する機能を有するものである。Y方向に走査しながらX方向に走査する場合、X方向に走査する周波数は、X方向の画素数倍だけY方向の周波数より大きいことが必要となる。したがつて、このようなシフトレジスタを構成するMOSFETには高速性が要求される。画素数が大きくなるほど高速性が重要となる。例えば画素数が200×200の場合、少なくとも約1MHz以上で動作するシフトレジスタが必要であり、シフトレジスタを構成するMOSFETにもこの速度が必要となる。このような高速性を実現するには、できるだけ電界効果移動度の大きいMOSFET素子を使用することが不可欠である。SOI技術でMOSFETを形

00

成する場合、前述したように粒界が存在することから、その方向性で特性が異なるが、高速性の観点からは、粒界の方向と平行にチャンネルを形成した構造が有利となる。ところがこの場合、異常拡散による実効チャンネル長の減少の観点から、素子のチャンネル長に制限がある。すなわち前述したように、チャンネル長を3〜5 μm 以上にしなければならない。ところが、液晶表示素子に使うシフトレジスタやスイツチング素子は比較的大きいため、チャンネル長を3〜5 μm 以上にすることが可能である。すなわち、粒界の方向とチャンネルの方向を平行とすることにより、実用的なマトリックス型半導体装置が可能となる。

〔発明の効果〕

本発明により、SOI基板を用いてシフトレジスタ等が十分な高速性を有するマトリックス型半導体装置が実現できる。

図面の簡単な説明

第1図は本発明の考え方を説明するためのチャンネル長とリーク電流との相関図、第2図は同じ

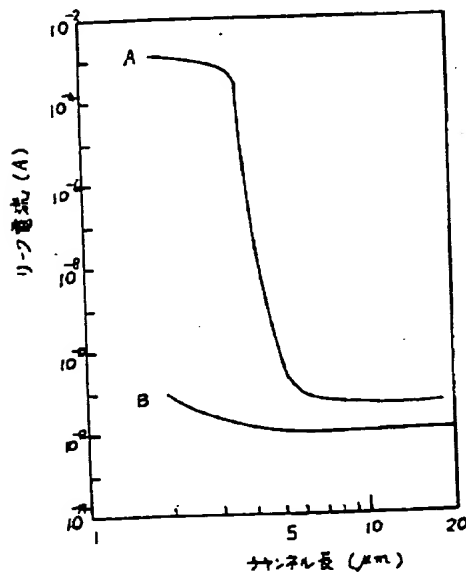
く本発明の考え方を説明するためのチャンネル長と電界効果移動度との相関図、第3図及び第4図は本発明の考え方を説明するためのMOSFET部分平面図、第5図は本発明の実施例を説明するためのアクティブマトリックス部分図、第6図は本発明の実施例を説明するためのマトリックス型半導体装置のブロック図である。
1…シリコン層、2…ソース、3…ドレイン、4…ゲート、5…ソース・ドレイン接合、6…粒界、7…異常拡散層、20…マトリックス、23…X方向シフトレジスタ、24…Y方向シフトレジスタ。

代理人 弁理士 高橋明

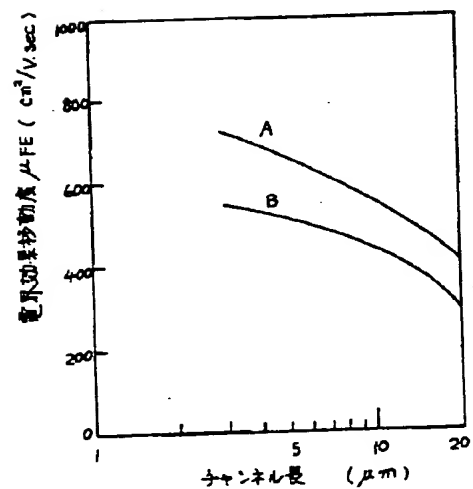


02

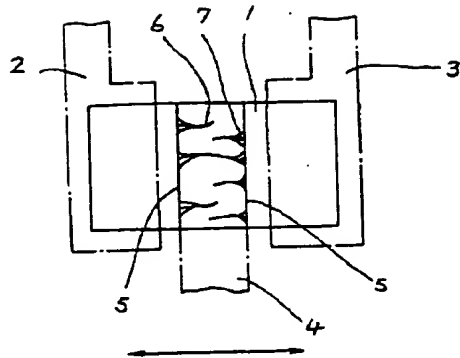
第1図



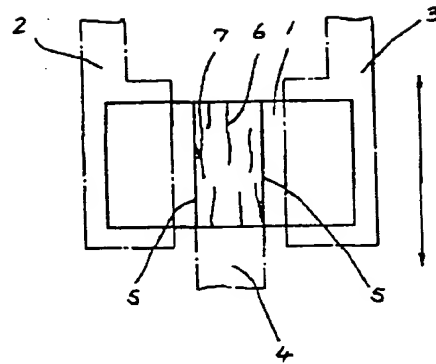
第2図



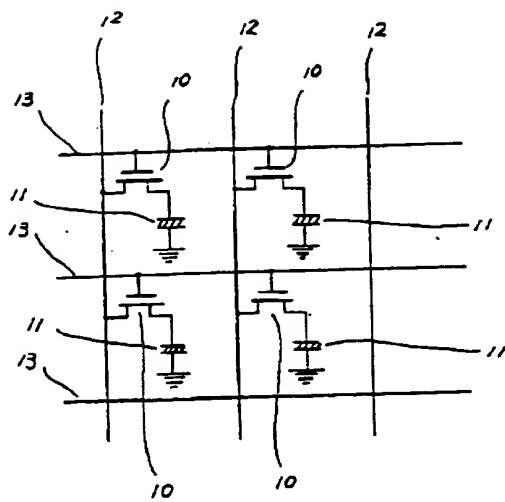
第3図



第4図



第5図



第6図

